

Docket No.: 60188-788

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Masashi AGATA	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: March 02, 2004	:	Examiner:
For: SEMICONDUCTOR MEMORY CIRCUIT	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

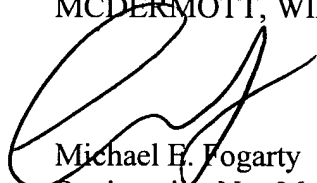
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-055790, filed March 3, 2003

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: March 2, 2004



日 本 国 特 許 庁
JAPAN PATENT OFFICE

60188-788
Agata
March 2, 2004
McDermott, Will & Emery

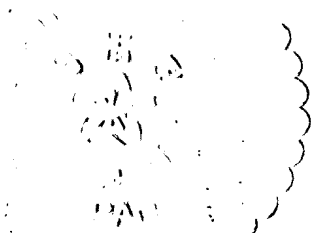
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 3 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 5 5 7 9 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 5 5 7 9 0]

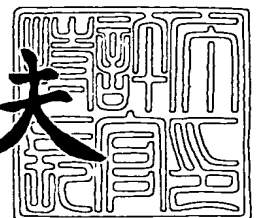
出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):



2 0 0 3 年 1 2 月 2 6 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 1 0 8 0 2 5

【書類名】 特許願

【整理番号】 5037640132

【提出日】 平成15年 3月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/409

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 縣 政志

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守



【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円



【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶回路

【特許請求の範囲】

【請求項 1】 記憶データに対応する電荷を蓄積する第 1 のキャパシタと、ゲートがワード線に接続され、ソース／ドレインの一方が第 1 のビット線に接続され、ソース／ドレインの他方が前記第 1 のキャパシタに接続された第 1 のトランジスタとを有するメモリセルと、

前記第 1 のキャパシタよりも静電容量が小さい第 2 のキャパシタと、ゲートがダミーワード線に接続され、ソース／ドレインの一方が第 2 のビット線に接続され、ソース／ドレインの他方が前記第 2 のキャパシタに接続された第 2 のトランジスタと、前記ダミーワード線が非活性のとき、プリチャージ信号に応じて、前記第 2 のキャパシタを、第 1 の電圧を供給する電圧線に電氣的に接続する第 3 のトランジスタとを有するダミーセルと、

前記ワード線およびダミーワード線が非活性のとき、前記第 1 および第 2 のビット線を、第 2 の電圧にプリチャージするプリチャージ回路と、

前記ワード線およびダミーワード線が活性化され、前記第 1 および第 2 のキャパシタが前記第 1 および第 2 のビット線にそれぞれ電氣的に接続されたとき、前記第 1 のビット線と前記第 2 のビット線との間に生じる電位差を検知して、前記第 1 および第 2 のビット線の電圧を、前記第 1 および第 2 の電圧、または前記第 2 および第 1 の電圧に増幅するセンスアンプとを備え、

前記ワード線およびダミーワード線の非活性電圧レベルから活性電圧レベルへの遷移は、いずれも、前記第 2 の電圧から前記第 1 の電圧へと向かう方向のものである

ことを特徴とする半導体記憶回路。

【請求項 2】 請求項 1 に記載の半導体記憶回路において、

前記第 2 のキャパシタの静電容量は、実質的に、前記第 1 のキャパシタの静電容量の半分である

ことを特徴とする半導体記憶回路。

【請求項 3】 請求項 2 に記載の半導体記憶回路において、

前記第 1 および第 2 のキャパシタは、いずれも、スタック型キャパシタであり

、
前記第 1 のキャパシタは、さらに、HSG 形成されたものである
ことを特徴とする半導体記憶回路。

【請求項 4】 請求項 2 に記載の半導体記憶回路において、
前記第 1 のキャパシタは、スタック型キャパシタであり、
前記第 2 のキャパシタは、プレーナ型キャパシタである
ことを特徴とする半導体記憶回路。

【請求項 5】 請求項 2 に記載の半導体記憶回路において、
前記第 1 のキャパシタは、トレンチ型キャパシタであり、
前記第 2 のキャパシタは、プレーナ型キャパシタである
ことを特徴とする半導体記憶回路。

【請求項 6】 請求項 1 に記載の半導体記憶回路において、
前記ダミーワード線の電圧振幅は、前記ワード線の電圧振幅よりも小さい
ことを特徴とする半導体記憶回路。

【請求項 7】 記憶データに対応する電荷を蓄積する第 1 のキャパシタと、
ゲートがワード線に接続され、ソース／ドレインの一方が第 1 のビット線に接続
され、ソース／ドレインの他方が前記第 1 のキャパシタに接続された第 1 のトラ
ンジスタとを有するメモリセルと、

第 2 のキャパシタと、ゲートがダミーワード線に接続され、ソース／ドレイン
の一方が第 2 のビット線に接続され、ソース／ドレインの他方が前記第 2 のキャ
パシタに接続された第 2 のトランジスタと、前記ダミーワード線が非活性のとき
、プリチャージ信号に応じて、前記第 2 のキャパシタを、第 1 の電圧を供給する
電圧線に電氣的に接続する第 3 のトランジスタとを有するダミーセルと、

前記ワード線およびダミーワード線が非活性のとき、前記第 1 および第 2 のビ
ット線を、第 2 の電圧にプリチャージするプリチャージ回路と、

前記ワード線およびダミーワード線が活性化され、前記第 1 および第 2 のキャ
パシタが前記第 1 および第 2 のビット線にそれぞれ電氣的に接続されたとき、前
記第 1 のビット線と前記第 2 のビット線との間に生じる電位差を検知して、前記

第1および第2のビット線の電圧を、前記第2の電圧および第3の電圧、または前記第3および第2の電圧に増幅するセンスアンプとを備え、

前記ワード線およびダミーワード線の非活性電圧レベルから活性電圧レベルへの遷移は、いずれも、前記第2の電圧から前記第3の電圧へと向かう方向のものであり、

前記ダミーワード線の電圧振幅は、前記ワード線の電圧振幅よりも小さいことを特徴とする半導体記憶回路。

【請求項8】 請求項7に記載の半導体記憶回路において、

前記第2のキャパシタは、前記第1のキャパシタと実質的に静電容量が等しく

前記第1の電圧は、前記第2の電圧と前記第3の電圧との中間の電圧であることを特徴とする半導体記憶回路。

【請求項9】 請求項7に記載の半導体記憶回路において、

前記第1および第2のトランジスタは、NMOSであり、

前記ダミーワード線の非活性電圧は、前記ワード線の非活性電圧よりも高いことを特徴とする半導体記憶回路。

【請求項10】 請求項9に記載の半導体記憶回路において、

前記ワード線の非活性電圧は、前記第2の電圧よりも低く、

前記ダミーワード線の非活性電圧は、実質的に、前記第2の電圧に等しいことを特徴とする半導体記憶回路。

【請求項11】 請求項7に記載の半導体記憶回路において、

前記第1および第2のトランジスタは、PMOSであり、

前記ダミーワード線の非活性電圧は、前記ワード線の非活性電圧よりも低いことを特徴とする半導体記憶回路。

【請求項12】 請求項11に記載の半導体記憶回路において、

前記ワード線の非活性電圧は、前記第2の電圧よりも高く、

前記ダミーワード線の非活性電圧は、実質的に、前記第2の電圧に等しいことを特徴とする半導体記憶回路。

【請求項13】 請求項1または7に記載の半導体記憶回路において、

前記第2および第3のトランジスタは、前記第2のキャパシタを挟んで一直線上に配置されていることを特徴とする半導体記憶回路。

【請求項14】 請求項13に記載の半導体記憶回路において、前記第1および第2のキャパシタは、いずれも、プレーナ型キャパシタであることを特徴とする半導体記憶回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶回路に関するものであり、特に、ダイナミック型メモリについてのメモリアクセス技術に属する。

【0002】

【従来の技術】

半導体記憶回路の中でもダイナミック・ランダム・アクセス・メモリ（以下、DRAMという）は、大容量のデータが読み書き可能なデバイスとして多用されている。図12は、現在実用化されている一般的なDRAMの回路構成を示す。同図に示したDRAM100は、メモリセル101、センスアンプ102およびプリチャージ回路103を備えている。以下、DRAM100のデータ読み出し時の動作について、図13のタイミングチャートを参照しながら説明する。

【0003】

まず、メモリセル101が非活性（WL＝“L”）のときにプリチャージ回路103が活性化（PRE＝“H”）され、ビット線BLおよびBLXの対（以下、「ビット線対BL，BLX」と表記する）は電圧VDD/2（VDDは電源電圧である）にプリチャージされる。次に、プリチャージ回路103が非活性（PRE＝“L”）となるとともにワード線WLが活性化（WL＝“H”）され、メモリセル101におけるキャパシタ110がビット線BLに電氣的に接続される。これにより、キャパシタ110とビット線BLとの間で蓄積電荷の再配分が行われる。すなわち、キャパシタ110が蓄積する電荷が大きいとき、つまりメモリセル10がデータ“1”を記憶しているときは、キャパシタ110の蓄積電荷

がビット線BLに供給される。一方、キャパシタ110が蓄積する電荷が小さいとき、つまりメモリセル10がデータ“0”を記憶しているときは、ビット線BLからキャパシタ110に電荷が移動する。ここで、メモリセル101の記憶データが“1”の場合を考えると、電荷の再配分によってビット線BLの電位は ΔV だけ上昇し、ビット線対BL, BLXに電位差 ΔV が生じる。そして、センスアンプ102によってこの電位差が検知・増幅され、DRAM100からデータ“1”を読み出すことができる。

【0004】

近年、半導体集積回路の微細加工プロセスの進化に伴って、DRAMは益々高集積化されつつある。また、高集積化されたDRAMの消費電力を低減するために、電源電圧の低電圧化も実施されているところである。しかし、MOSトランジスタの閾値電圧は、プロセスのばらつきのため、電源電圧の低電圧化に比例して低下させることが困難である。したがって、上述の $V_{DD}/2$ プリチャージ方式のDRAMにおいては、電源電圧の低電圧化によって、電源電圧に対するMOSトランジスタの閾値電圧の比率が高くなる。特に、今後の $0.10\mu\text{m}$ プロセス世代以降のDRAMについては、センスアンプ102を構成するMOSトランジスタの閾値電圧とビット線対BL, BLXの電圧振幅である電圧 $V_{DD}/2$ との差がほとんどなくなってしまうおそれがある。こうなると、センスアンプ102を活性化してもトランジスタのゲートソース間に十分な電位差が生じなくなり、ビット線対BL, BLXのセンス動作の大幅な遅延あるいはセンス動作不能といった事態が生じてしまうこととなる。

【0005】

上記の問題を解決するには、センスアンプトランジスタのゲートソース間電圧が大きくなることが好ましい。これに関して、次のような従来技術がある。

【0006】

図14は、従来の V_{DD} プリチャージ方式のDRAMの回路構成を示す。同図に示したDRAM200はNMOSで構成され、メモリセル201、センスアンプ202、プリチャージ回路203およびダミーセル204を備えている。以下、DRAM200のデータ読み出し時の動作について、図15のタイミングチャ

ートを参照しながら説明する。

【0007】

まず、メモリセル201が非活性($WL = "L"$)のときにプリチャージ回路203が活性化($P = "H"$)され、ビット線対BL, BLXは電圧 $V_{DD} - V_{th}$ (V_{th} はプリチャージ回路203を構成するNMOSトランジスタの閾値電圧である)にプリチャージされる。また、このとき、信号 $PRE = "H"$ であり、ダミーセル204におけるダミーキャパシタ220はGNDレベルに充電される。次に、信号PおよびPREが“L”となるとともに、ワード線WLおよびダミーワード線DWLが活性化($WL = "H"$, $DWL = "H"$)される。これにより、メモリセル201におけるメインキャパシタ210およびダミーセル204におけるダミーキャパシタ220が、それぞれビット線BLおよびBLXに電氣的に接続され、電荷の再配分が行われる。ここで、メモリセル201の記憶データが“0”の場合を考えると、メインキャパシタ210とビット線BLとの間での電荷の再配分によって、ビット線BLの電位は ΔV だけ降下する。同様に、ダミーキャパシタ220とビット線BLXとの間での電荷の再配分によって、ビット線BLXの電位は ΔV_{ref} だけ降下する。ここで、ダミーキャパシタ220は、メインキャパシタ210の約半分の静電容量となるように構成されており、ビット線BLXの電位降下 ΔV_{ref} は、ビット線BLの電位降下 ΔV の約半分となる。そして、ビット線対BL, BLXに生じた電位差はセンスアンプ202によって検知・増幅され、DRAM200からデータ“0”を読み出すことができる(たとえば、非特許文献1参照)。

【0008】

一方、図16は、従来のGNDプリチャージ方式のDRAMの回路構成を示す。同図に示したDRAM300はNMOSで構成され、メモリセル301、センスアンプ302、プリチャージ回路303およびリファレンスセル(ダミーセル)304を備えている。以下、DRAM300のデータ読み出し時の動作について、図17のタイミングチャートを参照しながら説明する。

【0009】

まず、メモリセル301が非活性($WL0 = "L"$)のときにプリチャージ回

路 303 が活性化 ($EQP = "H"$) され、ビット線対 BC, BT はいずれも GND レベルにプリチャージされる。また、このとき、信号 $REQP = "H"$ であり、ダミーセル 304 は $VDD/2$ にプリチャージされる。次に、ワード線 WL0 およびリファレンスワード線 (ダミーワード線) RFWL0 が活性化 ($WL0 = "H"$, $RFWL0 = "H"$) される。これにより、メモリセル 301 におけるメインキャパシタ 310 およびダミーセル 304 におけるダミーキャパシタ 320 が、それぞれビット線 BC および BT に電氣的に接続され、電荷の再配分が行われる。ここで、メモリセル 301 の記憶データが "1" の場合を考えると、メインキャパシタ 310 とビット線 BC との間での電荷の再配分によって、ビット線 BC の電位は ΔV だけ上昇する。同様に、ダミーキャパシタ 320 とビット線 BT との間での電荷の再配分によって、ビット線 BT の電位は ΔV_{ref} だけ上昇する。ここで、ダミーキャパシタ 320 の蓄積電荷は、メインキャパシタ 310 の最大蓄積電荷の約半分になっているため、ビット線 BT の電位上昇 ΔV_{ref} は、ビット線 BC の電位上昇 ΔV の約半分となる。そして、ビット線対 BC, BT に生じた電位差はセンスアンプ 302 によって検知・増幅され、DRAM 300 からデータ "1" を読み出すことができる (たとえば、非特許文献 2 参照)。

【0010】

【非特許文献 1】

シュレーダー (Paul R. Schroeder)、外 1 名、「16K×1 ビット・ダイナミック RAM (A 16K x 1 Bit Dynamic RAM)」, "ISSCC Digest of Technical Papers", 米国, ISSCC (International Solid-State Circuits Conference), 1977 年 2 月, p. 12-13

【非特許文献 2】

バース (Barth)、外 3 名、「GND センス、ビット線ツイストおよび直接リファレンスセル書き込みを特徴とする 300MHz マルチバンク eDRAM マクロ (A 300MHz Multi-Banked eDRAM Macro Featuring GND Sense, Bit-Line Twisting and Direct Reference Cell Write)」, "ISSCC Digest of Technical Papers", 米国, ISSCC (International Solid-State Circuits Conference)

nce), 2002年2月, p. 156-157

【0011】

【発明が解決しようとする課題】

図14のDRAM200では、ビット線対BL, BLXは、ワード線WLおよびダミーワード線DWLの活性論理レベルに対応する電源電圧VDDにプリチャージされる。このため、ワード線WLは活性化されても、その電圧がビット線BLよりも、メモリセル201を構成するNMOSトランジスタの閾値電圧 V_{th} だけ高いレベルにまで上昇しないと、メインキャパシタ210をビット線BLに電氣的に接続することができない。ダミーキャパシタ220についても同様である。さらに、ワード線WLは多数のメモリセルに接続されているため、その負荷が大きく、活性化に係る電圧レベルの遷移時間が遅い。すなわち、ビット線対BL, BLXに電位差が生じるまでに比較的長い時間を要し、データ読み出しに係るアクセス時間が遅いという問題がある。

【0012】

一方、図16のDRAM300では、ビット線対BC, BTのプリチャージレベルは、ワード線WL0およびダミーワード線RFWL0の非活性論理レベルに対応するGND電圧レベルである。このため、ワード線WL0の活性化レベルが、メモリセル301を構成するNMOSトランジスタの閾値電圧 V_{th} を超えることによって、メインキャパシタ310はすぐさまビット線BCに電氣的に接続される。ダミーキャパシタ320についても同様である。したがって、ワード線WL0のレベル遷移に対して比較的高速にビット線BCのレベルが遷移し、データ読み出しに係る時間が短縮され、メモリアクセスが高速化されている。

【0013】

しかし、同図のDRAM300では、メモリセル301のワード線WL0とダミーセル304のダミーワード線RFWL0とに対してそれぞれ別個の活性・非活性電圧レベルを与えるようにはなっていない。一般にDRAMにおいては、ワード線の活性レベルは、メモリセルに対するハイレベルデータの書き込みを考慮して、センスアンプ出力のハイレベル（すなわちセンスアンプで増幅されたときのビット線のハイレベル）よりもさらに高い電圧に設定する。また、ワード線の

非活性レベルは、データ保持特性を考慮して、センスアンプ出力のローレベル（すなわちセンスアンプで増幅されたときのビット線のローレベル）よりもさらに低い電圧に設定するのが好ましい。したがって、ワード線の電圧振幅は大きくなる。このように、ワード線と同じ大きな振幅でダミーワード線をも駆動することは、消費電力の増大を招く。また、ワード線を大きな振幅で駆動すべく半導体チップ内部で発生する昇圧電源を用いる場合には、昇圧電源回路の面積が増加してしまう。

【0014】

また、同図のDRAM300では、ダミーセル304に $VDD/2$ レベルの電圧を与えるため、 $VDD/2$ レベルの電圧を発生する内部電源電圧発生回路が必要になる。専用の内部電源電圧発生回路を設けることは、チップ面積の増大、消費電力の増加を招く。

【0015】

さらに、同図のDRAM300では、ダミーセル304に $VDD/2$ レベルの電圧を与えるための専用のプリチャージトランジスタ342を設けている。このプリチャージトランジスタ342は、アクセストランジスタ341の一端が接続されるダミーキャパシタ320のストレージノードに対して共通に接続をしなければならない。微細プロセスにおいて、ダミーセル304のストレージノード部分のみ、プリチャージトランジスタ342に対しても接続をするため、通常メモリセルのそれと異なる形状にすると、製造プロセスの最適化が難しくなる。

【0016】

上記問題に鑑み、本発明は、ワード線の活性化レベルへの遷移が始まってからメモリセルのデータに対応する信号がビット線に読み出されるまでの時間を短縮し、データアクセス時間を改善することを課題とする。さらに、本発明は、消費電力の増大、チップ面積の増大を伴うことなく、データアクセス時間の改善された半導体記憶回路を提供することを課題とする。また、本発明は、容易に最適化できる安価なプロセスで製造できる半導体記憶回路を提供することを課題とする。

【0017】

【課題を解決するための手段】

上記課題を解決するために、本発明が講じた手段は、半導体記憶回路として、記憶データに対応する電荷を蓄積する第1のキャパシタと、ゲートがワード線に接続され、ソース／ドレインの一方が第1のビット線に接続され、ソース／ドレインの他方が前記第1のキャパシタに接続された第1のトランジスタとを有するメモリセルと、前記第1のキャパシタよりも静電容量が小さい第2のキャパシタと、ゲートがダミーワード線に接続され、ソース／ドレインの一方が第2のビット線に接続され、ソース／ドレインの他方が前記第2のキャパシタに接続された第2のトランジスタと、前記ダミーワード線が非活性のとき、プリチャージ信号に応じて、前記第2のキャパシタを、第1の電圧を供給する電圧線に電氣的に接続する第3のトランジスタとを有するダミーセルと、前記ワード線およびダミーワード線が非活性のとき、前記第1および第2のビット線を、第2の電圧にプリチャージするプリチャージ回路と、前記ワード線およびダミーワード線が活性化され、前記第1および第2のキャパシタが前記第1および第2のビット線にそれぞれ電氣的に接続されたとき、前記第1のビット線と前記第2のビット線との間に生じる電位差を検知して、前記第1および第2のビット線の電圧を、前記第1および第2の電圧、または前記第2および第1の電圧に増幅するセンスアンプとを備えたものとする。ここで、前記ワード線およびダミーワード線の非活性電圧レベルから活性電圧レベルへの遷移は、いずれも、前記第2の電圧から前記第1の電圧へと向かう方向のものとする。

【0018】

本発明によると、ワード線の活性状態への遷移が、ビット線のプリチャージ電圧である第2の電圧からビット線の増幅後の電圧である第1の電圧へと向かう方向に行われる。これにより、メモリセルのトランジスタのゲートに接続されるワード線の電圧が、ソースに接続されるプリチャージ状態のビット線の電圧、すなわち第2の電圧に対して閾値を超えて第1のトランジスタがオンになるタイミングが、逆方向に遷移する場合に比べて早くなり、データ読み出しに係るアクセス時間が短縮される。また、ダミーセルのキャパシタがメモリセルの静電容量よりも小さく、その静電容量の違いによって中間の参照電位を生成できるため、ダミ

ーセルを中間電位にプリチャージするための回路を設ける必要がない。

【0019】

好ましくは、前記第2のキャパシタの静電容量は、実質的に、前記第1のキャパシタの静電容量の半分とする。これにより、第1のビット線に生じる電位変化の幅に対して、第2のビット線の電位変化量をそのほぼ半分にすることができ、センスアンプによる第1および第2のビット線間の電位差の検知・増幅が、より確実に行われるようになる。

【0020】

また、前記第1および第2のキャパシタは、いずれもスタック型キャパシタであり、前記第1のキャパシタは、さらに、HSG (Hemi Spherical Grained) 形成されたものであることが好ましい。または、前記第1のキャパシタは、スタック型あるいはトレンチ型キャパシタであり、前記第2のキャパシタは、プレーナ型キャパシタであることが好ましい。これらにより、第1のキャパシタについては超微細加工プロセスにより集積化を図る一方、第2のキャパシタについては容易に形成することが可能となる。

【0021】

また、前記ダミーワード線の電圧振幅は、前記ワード線の電圧振幅よりも小さいことが好ましい。これにより、半導体記憶回路における消費電力を低減することができる。

【0022】

一方、上記課題を解決するために、本発明が講じた手段は、半導体記憶回路として、記憶データに対応する電荷を蓄積する第1のキャパシタと、ゲートがワード線に接続され、ソース／ドレインの一方が第1のビット線に接続され、ソース／ドレインの他方が前記第1のキャパシタに接続された第1のトランジスタとを有するメモリセルと、第2のキャパシタと、ゲートがダミーワード線に接続され、ソース／ドレインの一方が第2のビット線に接続され、ソース／ドレインの他方が前記第2のキャパシタに接続された第2のトランジスタと、前記ダミーワード線が非活性のとき、プリチャージ信号に応じて、前記第2のキャパシタを、第1の電圧を供給する電圧線に電氣的に接続する第3のトランジスタとを有するダ

ミーセルと、前記ワード線およびダミーワード線が非活性のとき、前記第1および第2のビット線を、第2の電圧にプリチャージするプリチャージ回路と、前記ワード線およびダミーワード線が活性化され、前記第1および第2のキャパシタが前記第1および第2のビット線にそれぞれ電氣的に接続されたとき、前記第1のビット線と前記第2のビット線との間に生じる電位差を検知して、前記第1および第2のビット線の電圧を、前記第2の電圧および第3の電圧、または前記第3および第2の電圧に増幅するセンスアンプとを備えたものとする。ここで、前記ワード線およびダミーワード線の非活性電圧レベルから活性電圧レベルへの遷移は、いずれも、前記第2の電圧から前記第3の電圧へと向かう方向のものであり、かつ、前記ダミーワード線の電圧振幅は、前記ワード線の電圧振幅よりも小さいものとする。

【0023】

本発明によると、上記の説明と同様に、メモリセルのトランジスタがオンになるタイミングが早くなり、データ読み出しに係るアクセス時間が短縮される。さらに、ダミーワード線の電圧振幅をワード線の電圧振幅よりも小さくしているため、消費電力が低減される。

【0024】

好ましくは、前記第2のキャパシタは、前記第1のキャパシタと実質的に静電容量が等しく、前記第1の電圧は、前記第2の電圧と前記第3の電圧との中間の電圧であるとする。これにより、第1のビット線に生じる電位変化の幅に対して、第2のビット線の電位変化量をそのほぼ中間にすることができ、センスアンプによる第1および第2のビット線間の電位差の検知・増幅が、より確実に行われるようになる。

【0025】

さらに、前記第1および第2のトランジスタはNMOSであり、前記ダミーワード線の非活性電圧は前記ワード線の非活性電圧よりも高いことが好ましい。具体的には、前記ワード線の非活性電圧は前記第2の電圧よりも低く、前記ダミーワード線の非活性電圧は実質的に前記第2の電圧に等しいものとする。

【0026】

これについて、メモリセルおよびダミーセルを構成するトランジスタがNMOSの場合、ワード線の非活性電圧を第2の電圧（たとえば、GND）よりも降圧して、第1のキャパシタが蓄積する電荷のリークを抑制し、電荷の保持特性を向上させるのが一般的である。しかし、第2のキャパシタには、記憶データに対応する電荷を蓄積するという役割がないため、電荷のリークについては特に考慮しなくてよい。このため、ダミーワード線については、ワード線と同様に降圧する必要がない。したがって、ダミーワード線の非活性電圧を第1のワード線の非活性電圧よりも高くする、換言すると、ワード線の非活性電圧のみを降圧することによって、ダミーワード線の振幅を抑制して、消費電力を低減することができる。また、ダミーワード線に降圧電圧を供給する必要がなくなるため、その分、電源回路を簡略化することができ、半導体記憶回路全体としての回路面積を低減することができる。

【0027】

また、前記第1および第2のトランジスタは、PMOSであり、前記ダミーワード線の非活性電圧は前記ワード線の非活性電圧よりも低いことが好ましい。具体的には、前記ワード線の非活性電圧は前記第2の電圧よりも高く、前記ダミーワード線の非活性電圧は実質的に前記第2の電圧に等しいものとする。

【0028】

これについて、メモリセルおよびダミーセルを構成するトランジスタがPMOSの場合、回路特性がNMOSの場合と逆になるため、ダミーワード線の非活性電圧をワード線の非活性電圧よりも低くする、換言すると、ワード線の非活性電圧のみを昇圧することによって、第1のキャパシタの電荷のリークを抑えつつ、ダミーワード線の振幅を抑制して、消費電力を低減することができる。また、ダミーワード線について昇圧電圧を供給する必要がなくなるため、その分、電源回路を簡略化することができ、半導体記憶回路全体としての回路面積を低減することができる。

【0029】

また、本発明の上記各半導体記憶回路において、前記第2および第3のトランジスタは、前記第2のキャパシタを挟んで一直線上に配置されていることが好ま

しい。より好ましくは、前記第1および第2のキャパシタは、いずれも、プレーナ型キャパシタであるとする。

【0030】

これにより、プレーナ型の第2のキャパシタの両側に、第2および第3のトランジスタを配置して、第2のトランジスタに接続する部分および第3のトランジスタに接続する部分を、それぞれ、メモリセルの第1のトランジスタとプレーナ型の第1のキャパシタの接続部分とを同様な形状にすることができ、メモリセルアレイ部分について、製造プロセスの最適化が容易になる。

【0031】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0032】

（第1の実施形態）

図1は、本発明の第1の実施形態に係る半導体記憶回路の回路構成を示す。本実施形態の半導体記憶回路であるDRAM10はNMOSで構成され、ワード線WLとビット線BLとの交差箇所に設けられたメモリセル11、ビット線対BL、BLXの電位差を検知・増幅するCMOSセンスアンプ12、ビット線対BL、BLXのプリチャージ回路13、およびダミーワード線DWLとビット線BLXとの交差箇所に設けられたダミーセル14を備えている。

【0033】

メモリセル11は、NMOSトランジスタ111およびメインキャパシタ112からなる1トランジスタ型セルである。NMOSトランジスタ111は、ビット線BLの非活性時にワード線WLが活性化することによってターンオンし、メインキャパシタ112をビット線BLに電氣的に接続する。

【0034】

センスアンプ12は、信号線SAPの活性化によって活性化され、ビット線対BL、BLXに生じた電位差を検知し、いずれか一方を電源電圧VDD（信号線SAPの活性電圧）にするとともに他方をGNDレベルにする。

【0035】

プリチャージ回路 13 は、ワード線 WL およびダミーワード線 DWL が非活性のとき、信号線 PRE の活性化によって活性化し、ビット線対 BL, BLX を GND レベルにプリチャージする。

【0036】

ダミーセル 14 は、NMOS トランジスタ 141 および 142 ならびにダミーキャパシタ 143 で構成されている。NMOS トランジスタ 141 は、ダミーワード線 DWL が活性化することによってターンオンし、ダミーキャパシタ 143 をビット線 BLX に電氣的に接続する。また、NMOS トランジスタ 142 は、ダミーワード線 DWL の非活性時に、プリチャージ信号を供給する信号線 PRE が活性化することによってターンオンし、ダミーキャパシタ 143 を電圧線 VPRE に電氣的に接続する。電圧線 VPRE は、電源電圧 VDD を供給している。

【0037】

上記のとおり構成された DRAM10 において、ダミーキャパシタ 143 の静電容量はメインキャパシタ 112 よりも小さく、好ましくはほぼ半分となるように構成する。

【0038】

図 2 は、メモリセル 11 およびダミーセル 14 をプレーナ型キャパシタセルで形成したときの回路図を示す。同図中、(a) がメモリセル 11 であり、(b) がダミーセル 14 である。ここで、ダミーキャパシタ 143 の静電容量は、メインキャパシタ 112 の静電容量のほぼ半分にされている。

【0039】

図 3 は、メモリセル 11 およびダミーセル 14 をスタック型キャパシタセルで形成し、メモリセル 11 については、さらに HSG 形成したときの回路断面を示す。スタック型キャパシタセルの場合、メモリセル 11 の大きさが超微細加工プロセスによる極小サイズとして最適化されるため、ダミーセル 14 については、より小さな静電容量を得るべくメモリセル 11 以上にセルサイズを小規模化することは困難である。したがって、HSG 形成をする際に、ダミーセル 14 にマスクをして、メモリセル 11 のみ HSG 形成がなされるようにすることによって、メモリセル 11 と同一サイズで、メモリセル 11 よりも静電容量の小さなダミー

セル 14 を得ることができる。

【0040】

図4は、メモリセル11をスタック型キャパシタセルで形成し、ダミーセル14をプレーナ型キャパシタセルで形成したときの回路断面を示す。また、図5は、メモリセル11をトレンチ型キャパシタセルで形成し、ダミーセル14をプレーナ型キャパシタセルで形成したときの回路断面を示す。同じ回路面積を占めるように形成された場合、プレーナ型キャパシタの静電容量は比較的小さい（たとえば、10 fF程度）のに対して、スタック型キャパシタやトレンチ型キャパシタの静電容量は比較的大きい（たとえば、20 fF程度）ものとなる。このように、メモリセル11をスタック型あるいはトレンチ型キャパシタセルで形成し、ダミーセル14をプレーナ型キャパシタセルで形成することによって、メモリセル11については超微細加工プロセスにより集積度を上げる一方、メモリセル11の静電容量よりも小さい静電容量を有するダミーセル14を容易に形成することができる。

【0041】

次に、DRAM10の動作について、特に、メモリセル11からのデータ読み出し時の動作について、図6のタイミングチャートを参照しながら説明する。

【0042】

まず、メモリセル11が非活性（WL = “L”）のときにプリチャージ回路13が活性化（PRE = “H”）され、ビット線対BL，BLXはいずれもGNDレベルにプリチャージされる。また、このとき、ダミーセル14において、ダミーキャパシタ143のノードDSには、電圧線VPREが供給する電源電圧VDDからNMOSトランジスタ142の閾値電圧V_{th}だけ低い電圧VDD - V_{th}が与えられ、ダミーキャパシタ143が充電される。

【0043】

次に、信号線PREが非活性化（PRE = “L”）され、ワード線WLおよびダミーワード線DWLが活性化（WL = “H”，DWL = “H”）される。活性化によってワード線WLの電位が上昇する。そして、ワード線WLの電位がNMOSトランジスタ111の閾値電圧V_{th}を超えるとNMOSトランジスタ11

1がターンオンする。これにより、メインキャパシタ112がビット線BLに電氣的に接続される。ここで、メインキャパシタ112の記憶データが“1”の場合、メインキャパシタ112に蓄積された電荷がビット線BLに供給され、ビット線BLの電位が ΔV だけ上昇する。一方、メインキャパシタ112の記憶データが“0”の場合、メインキャパシタ112のノードSの電圧はGNDレベルであり、ビット線BLの電位はほとんど変化しない。

【0044】

一方、ダミーワード線DWLの電位も活性化によって上昇する。そして、ダミーワード線DWLの電位がNMOSトランジスタ141の閾値電圧 V_{th} を超えるとNMOSトランジスタ141がターンオンし、ダミーキャパシタ143がビット線BLXに電氣的に接続される。これにより、ダミーキャパシタ143の蓄積電荷がビット線BLXに供給され、ビット線BLXの電位は ΔV_{ref} だけ上昇する。

【0045】

上述したように、ダミーキャパシタ143の静電容量はメインキャパシタ112のほぼ半分であるため、このときダミーキャパシタ143に蓄積されている電荷は、メインキャパシタ112において記憶データ“1”に対応する電荷のほぼ半分であり、ビット線BLXの電位上昇 ΔV_{ref} は、ビット線BLの電位上昇 ΔV のほぼ半分となる($\Delta V_{ref} = \Delta V / 2$)。したがって、ビット線対BL, BLXに生じる電位差は、ビット線BLXの電位を基準として、ビット線BLの電位がそれよりも ΔV_{ref} だけ高いかまたは低いかのいずれかとなる。そして、この電位差はセンスアンプ12によって検知・増幅され、DRAM10から記憶データ“1”または“0”を読み出すことができる。

【0046】

さらに、本実施形態のDRAM10には、ダミーワード線の活性時および非活性時の電圧に特徴がある。以下、この点について説明する。

【0047】

タイミングチャートからわかるように、ワード線WLの活性電圧は、電源電圧VDDよりも電圧 V_{th} 以上昇圧された電圧とするのに対して、ダミーワード線

DWLの活性電圧は、電源電圧VDDとしている。これは次の理由による。すなわち、メモリセル11のリフレッシュ時に比較的高い電圧でメインキャパシタ112を充電できるように、ワード線WLの活性電圧は、NMOSトランジスタ111による電圧降下 V_{th} を見込んだ電圧、すなわち、電源電圧VDDよりも電圧 V_{th} 以上昇圧された電圧とする必要がある。これに対して、ダミーキャパシタ143の電荷の蓄積は、プリチャージトランジスタであるNMOSトランジスタ142によって行われ、ダミーワード線DWLが活性化することによって、ダミーキャパシタ143はビット線BLXに接続される。したがって、ダミーワード線DWLとして、昇圧された電圧を用いる必要がない。

【0048】

また、タイミングチャートからわかるように、ワード線WLの非活性電圧は、GNDレベルよりも降圧された電圧とするのに対して、ダミーワード線DWLの非活性電圧は、GNDレベルとしている。これは次の理由による。すなわち、メモリセル11におけるNMOSトランジスタ111のサブ・スレッショルド電流によるメインキャパシタ112の電荷のリークを抑制し、電荷の保存特性を向上させるために、ワード線WLの非活性電圧として、負電位を与える必要がある。これに対して、ダミーセル14にはデータを記憶する役割がないため、ダミーキャパシタ143の電荷のリークについては考慮しなくてよい。したがって、ダミーワード線DWLの非活性電圧は、GNDレベルで充分である。

【0049】

そして、ダミーワード線DWLについて、活性時および非活性時の電圧を上記のように設定することにより、ダミーワード線DWLの振幅が抑制され、DRAM10の消費電力を低減することができる。さらに、ダミーワード線DWLに供給される電圧については、電源電圧VDDおよびGND電圧に対して昇圧および降圧の必要がないため、その分、チャージポンプ回路などの電源回路（図示せず）を小規模化することができ、また、スタンバイ電流も削減できる。これにより、回路面積の低減および消費電力の低減が可能となる。

【0050】

以上、本実施形態によると、NMOSで構成されたDRAM10について、G

N Dプリチャージ方式の採用によってデータ読み出しが高速化される。また、加工の複雑なダミーセル 1 4 を形成する必要がない。

【0051】

さらに、ダミーワード線DWLの活性時および非活性時の電圧を、電源電圧VDDおよびGNDレベルからそれぞれ非昇圧および非降圧とすることによって、消費電力が低減されるとともに、電源回路の小規模化を図ることができる。なお、この非昇圧および非降圧の両者を同時に実施する必要はなく、いずれか一方のみを実施することによって、上記と同様の効果を得ることができる。

【0052】

本実施形態では、メモリセルトランジスタがNMOSで構成され、GNDプリチャージ方式を採用したデータ読み出しを高速に行うDRAMに対して、ワード線のみを昇圧または降圧し、ダミーワード線を非昇圧または非降圧とする技術を適用した。しかし、ダミーセルを用いる一般のDRAM、たとえば、メモリセルトランジスタがNMOSで、VDDプリチャージ方式を採用するDRAMに対して、ワード線のみを昇圧または降圧し、ダミーワード線を非昇圧または非降圧とする技術を適用しても、低消費電力化、電源回路の小規模化を図ることができる。

【0053】

なお、メモリセル 1 1 におけるNMOSトランジスタ 1 1 2 およびダミーセル 1 4 におけるNMOSトランジスタ 1 4 3 の特性を同等にすることによって、ワード線WLおよびダミーワード線DWLの負荷を同程度にすることができる。これにより、ワード線WLおよびダミーワード線DWLの位相を合わせることが容易になり、センスアンプ 1 2 の活性化、すなわち信号線SAPの活性化のタイミングを高速化することができる。この結果、データ読み出しをさらに高速化することができる。

【0054】

ところで、上記説明において、ダミーキャパシタ 1 4 3 の静電容量はメインキャパシタ 1 1 2 のほぼ半分であるとしたが、これを同程度となるように構成してもよい。この場合、電圧線VPREが供給する電圧を電源電圧VDDよりも小さ

い、好ましくは電源電圧 V_{DD} と GND 電圧との中間の電圧である $V_{DD}/2$ とする。これにより、ダミーキャパシタ 143 には、メインキャパシタ 112 のほぼ半分の電圧がプリチャージされることとなり、メインキャパシタ 112 のほぼ半分の電荷が蓄積されるようになる。図 7 に、メインキャパシタ 112 の静電容量とダミーキャパシタ 143 の静電容量とを同程度にして回路構成された場合のデータ読み出しに係るタイミングチャートを示す。DRAM10 をそのような構成にしても、本実施形態と同様の効果を得ることができる。

【0055】

(第 2 の実施形態)

図 8 は、本発明の第 2 の実施形態に係る半導体記憶回路の回路構成を示す。本実施形態の半導体記憶回路である DRAM20 は PMOS で構成され、ワード線 WL とビット線 BL との交差箇所に設けられたメモリセル 21、ビット線対 BL, BLX の電位差をセンス増幅する CMOS センスアンプ 22、ビット線対 BL, BLX のプリチャージ回路 23、およびダミーワード線とビット線 BLX との交差箇所に設けられたダミーセル 24 を備えている。

【0056】

メモリセル 21 は、PMOS トランジスタ 211 およびメインキャパシタ 212 からなる 1 トランジスタ型セルである。PMOS トランジスタ 211 は、ビット線 BL の非活性時にワード線 WL が活性化することによってターンオンし、メインキャパシタ 212 をビット線 BL に電氣的に接続する。

【0057】

センスアンプ 22 は、信号線 SAN の活性化によって活性化され、ビット線対 BL, BLX に生じた電位差を検知し、いずれか一方を電源電圧 V_{DD} にするとともに他方を GND レベル（信号線 SAN の活性電圧）にする。

【0058】

プリチャージ回路 23 は、ワード線 WL およびダミーワード線 DWL が非活性のとき、信号線 PREX の活性化によって活性化し、ビット線対 BL, BLX を電源電圧 V_{DD} にプリチャージする。

【0059】

ダミーセル 24 は、PMOS トランジスタ 241 および 242 ならびにダミーキャパシタ 243 で構成されている。PMOS トランジスタ 241 は、ダミーワード線 DWL が活性化することによってターンオンし、ダミーキャパシタ 243 をビット線 BLX に電氣的に接続する。また、PMOS トランジスタ 242 は、ダミーワード線 DWL の非活性時に、プリチャージ信号を供給する信号線 PREX が活性化することによってターンオンし、ダミーキャパシタ 243 を電圧線 VPRE に電氣的に接続する。電圧線 VPRE は、GND 電圧を供給している。

【0060】

上記のとおり構成された DRAM20 において、ダミーキャパシタ 243 の静電容量はメインキャパシタ 212 よりも小さく、好ましくはほぼ半分となるように構成する。具体的な構成については、第 1 の実施形態で説明したとおりである。

【0061】

ここで、本実施形態の DRAM20 のメモリセル 21 およびダミーセル 24 を含むメモリセルアレイの構成について触れておく。図 9 は、DRAM20 がプレーナ型キャパシタセルで形成された場合におけるメモリセルアレイの回路構成を示す。なお、図 8 に付した符号と同一の符号で各構成要素を示している。また、図 10 は、図 9 の回路構成図に対応したメモリセルアレイのレイアウトを示す。なお、図 10 においてハッチング表示した部分は、トランジスタの活性化領域を表している。

【0062】

図 9 および図 10 に示したように、ダミーセル 24 において、PMOS トランジスタ 241 および PMOS トランジスタ 242 は、キャパシタ 243 を挟んで一直線上に配置される。そして、ダミーセルアレイは、メモリセルアレイと平行して配置される。これにより、ダミーセル 24 を効率よく配置することができ、回路面積を最適化することができる。また、ダミーセル 24 において、PMOS トランジスタ 241 および 242 とダミーキャパシタ 243 との接続のためのコンタクトホールを設ける必要もない。

【0063】

次に、DRAM 20の動作について、特に、メモリセル 21からのデータ読み出し時の動作について、図 11のタイミングチャートを参照しながら説明する。

【0064】

まず、メモリセル 21が非活性 ($WL = "H"$) のときにプリチャージ回路 23が活性化 ($PREX = "L"$) され、ビット線対 BL , BLX はいずれも電源電圧 VDD にプリチャージされる。また、このとき、ダミーセル 24において、ダミーキャパシタ 243のノード DS には、電圧線 $VPRE$ が供給する GND 電圧から PMOS トランジスタ 242の閾値電圧 V_{th} だけ高い電圧 V_{th} が与えられ、ダミーキャパシタ 243は放電状態となっている。

【0065】

次に、信号線 $PREX$ が非活性化 ($PREX = "H"$) され、ワード線 WL およびダミーワード線 DWL が活性化 ($WL = "L"$, $DWL = "L"$) される。活性化によってワード線 WL の電位が下降する。そして、ワード線 WL の電位が PMOS トランジスタ 211の閾値電圧 V_{th} を下回ると PMOS トランジスタ 211がターンオンする。これにより、メインキャパシタ 212がビット線 BL に電氣的に接続される。ここで、メインキャパシタ 212の記憶データが "0" の場合、ビット線 BL に蓄積された電荷がメインキャパシタ 212に供給され、ビット線 BL の電位が ΔV だけ下降する。一方、メインキャパシタ 212の記憶データが "1" の場合、メインキャパシタ 212のノード S の電圧は電源電圧 VDD であり、ビット線 BL の電位はほとんど変化しない。

【0066】

一方、ダミーワード線 DWL の電位も活性化によって下降する。そして、ダミーワード線 DWL の電位が PMOS トランジスタ 241の閾値電圧 V_{th} を下回ると PMOS トランジスタ 241がターンオンし、ダミーキャパシタ 243がビット線 BLX に電氣的に接続される。これにより、ビット線 BLX に蓄積されていた電荷がキャパシタ 243に供給され、ビット線 BLX の電位は ΔV_{ref} だけ下降する。

【0067】

上述したように、ダミーキャパシタ 243の静電容量はメインキャパシタ 21

2のほぼ半分であるため、このときダミーキャパシタ243に蓄積されている電荷は、メインキャパシタ212において記憶データ“1”に対応する電荷のほぼ半分であり、ビット線BLXの電位下降 ΔV_{ref} は、ビット線BLの電位下降 ΔV のほぼ半分となる($\Delta V_{ref} = \Delta V / 2$)。したがって、ビット線対BL, BLXに生じる電位差は、ビット線BLXの電位を基準として、ビット線BLの電位がそれよりも ΔV_{ref} だけ高いかまたは低いかのいずれかとなる。そして、この電位差はセンスアンプ12によって検知・増幅され、DRAM20から記憶データ“1”または“0”を読み出すことができる。

【0068】

さらに、第1の実施形態に係るDRAM10と同様に、ダミーワード線DWLの電圧振幅がワード線WLの電圧振幅よりも小さくなるようにする。すなわち、ワード線WLの活性電圧を、GNDレベルよりも降圧された電圧とするのに対して、ダミーワード線DWLの活性電圧を、GNDレベルとする。一方、ワード線WLの非活性電圧を、電源電圧VDDよりも電圧 V_{th} 以上昇圧された電圧とするのに対して、ダミーワード線DWLの非活性電圧を、電源電圧VDDとする。このようにダミーワード線DWLの電圧振幅を抑制することによる作用および効果は、第1の実施形態で説明したとおりである。また、このようにワード線WLの電圧振幅に対してダミーワード線DWLの電圧振幅を抑制するよう構成することによる効果は、本実施の形態の場合に限らず、たとえば、ビット線をGND電圧レベルにプリチャージする場合に適用しても得られることは、第1の実施の形態に関連して説明したとおりである。

【0069】

以上、本実施形態によると、PMOSで構成されたDRAM20について、VDDプリチャージ方式の採用によってデータ読み出しが高速化される。また、加工の複雑なダミーセル24を形成する必要がある。

【0070】

また、メモリセル21およびダミーセル24をプレーナ型キャパシタセルで形成する場合に、ダミーセル24を効率よく配置することができ、回路面積を最適化することができる。なお、第1の実施形態に係るDRAM10についてもこれ

と同様のことが言える。

【0071】

なお、第1の実施形態と同様に、メインキャパシタ212の静電容量とダミーキャパシタ243の静電容量とを同程度にして、電圧線VPREが供給する電圧をGNDレベルよりも大きい、好ましくは電源電圧VDDとGNDレベルとのほぼ中間の電圧である $VDD/2$ とするようにしてもよい。

【0072】

また、本発明の半導体記憶回路は、演算部と記憶部とが混載された混載LSIにおける記憶部に応用することが可能である。

【0073】

【発明の効果】

以上説明したように、本発明によると、半導体記憶回路において、ビット線対をワード線の非活性電圧でプリチャージすることによって、メモリセルとビット線との間で比較的高速に電荷の再配分が行われ、データ読み出しを高速化することができる。

【0074】

また、ダミーワード線の振幅を抑制することによって、半導体記憶回路に搭載される電源回路の小規模化、および半導体記憶回路の低消費電力化が可能となる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る半導体記憶回路の回路構成図である。

【図2】

図1の半導体記憶回路におけるメモリセルおよびダミーセルをプレーナ型キャパシタセルで形成したときの回路図である。

【図3】

図1の半導体記憶回路におけるメモリセルおよびダミーセルをそれぞれHSG化および非HSG化スタック型キャパシタセルで形成したときの回路断面図である。

【図 4】

図 1 の半導体記憶回路におけるメモリセルおよびダミーセルをそれぞれスタック型およびプレーナ型キャパシタセルで形成したときの回路断面図である。

【図 5】

図 1 の半導体記憶回路におけるメモリセルおよびダミーセルをそれぞれトレンチ型およびプレーナ型キャパシタセルで形成したときの回路断面図である。

【図 6】

図 1 の半導体記憶回路のデータ読み出し時のタイミングチャートである。

【図 7】

図 1 の半導体記憶回路におけるメインキャパシタおよびダミーキャパシタの静電容量を同程度にした場合のデータ読み出しに係るタイミングチャートである。

【図 8】

本発明の第 2 の実施形態に係る半導体記憶回路の回路構成図である。

【図 9】

図 8 の半導体記憶回路がプレーナ型キャパシタセルで形成された場合のメモリセルアレイの回路構成図である。

【図 10】

図 9 の回路構成図に対応したメモリセルアレイのレイアウト図である。

【図 11】

図 8 の半導体記憶回路のデータ読み出し時のタイミングチャートである。

【図 12】

一般的な $V_{DD}/2$ プリチャージ方式の DRAM の回路構成図である。

【図 13】

$V_{DD}/2$ プリチャージ方式によるデータ読み出しに係るタイミングチャートである。

【図 14】

従来の V_{DD} プリチャージ方式の DRAM の回路構成図である。

【図 15】

V_{DD} プリチャージ方式によるデータ読み出しに係るタイミングチャートであ



る。

【図 16】

従来の GND プリチャージ方式の DRAM の回路構成図である。

【図 17】

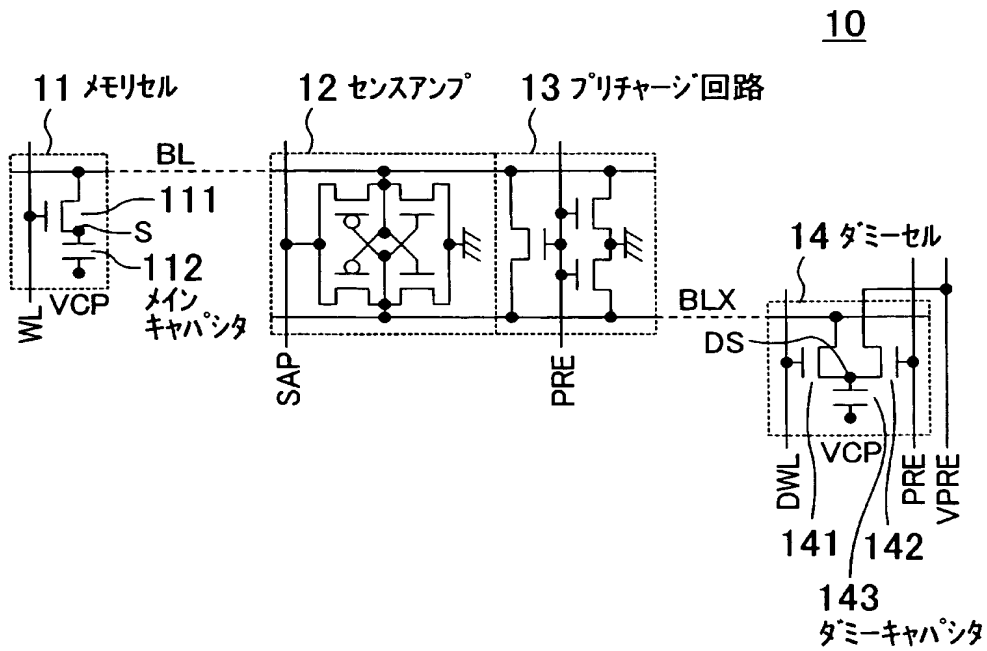
GND プリチャージ方式によるデータ読み出しに係るタイミングチャートである。

【符号の説明】

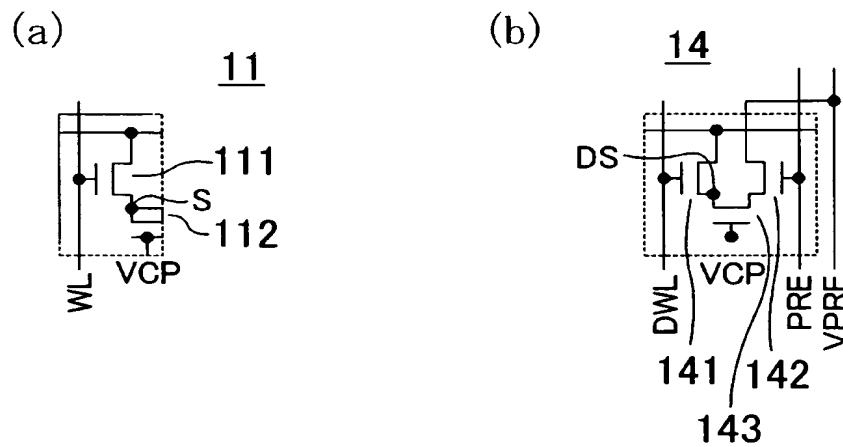
10, 20 DRAM (半導体記憶回路)
11, 21 メモリセル
12, 22 センスアンプ
13, 23 プリチャージ回路
14, 24 ダミーセル
112, 212 メインキャパシタ (第1のキャパシタ)
143, 243 ダミーキャパシタ (第2のキャパシタ)
111 NMOS トランジスタ (第1のトランジスタ)
141 NMOS トランジスタ (第2のトランジスタ)
142 NMOS トランジスタ (第3のトランジスタ)
211 PMOS トランジスタ (第1のトランジスタ)
241 PMOS トランジスタ (第2のトランジスタ)
242 PMOS トランジスタ (第3のトランジスタ)
WL ワード線
DWL ダミーワード線
BL ビット線 (第1のビット線)
BLX ビット線 (第2のビット線)
VPRE 電圧線

【書類名】 図面

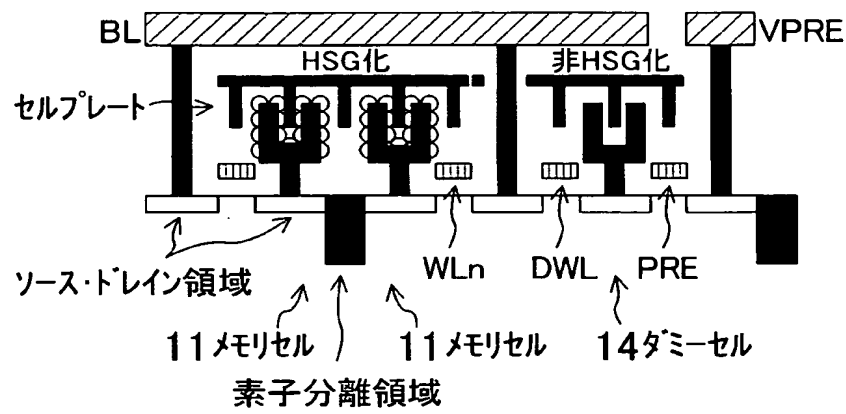
【図 1】



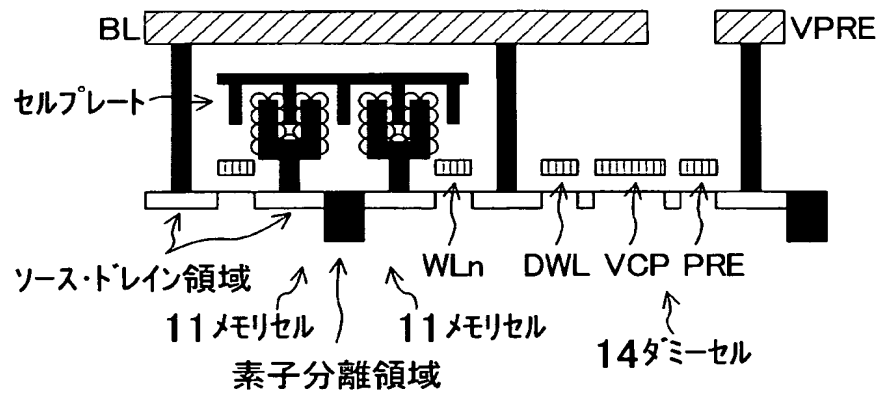
【図 2】



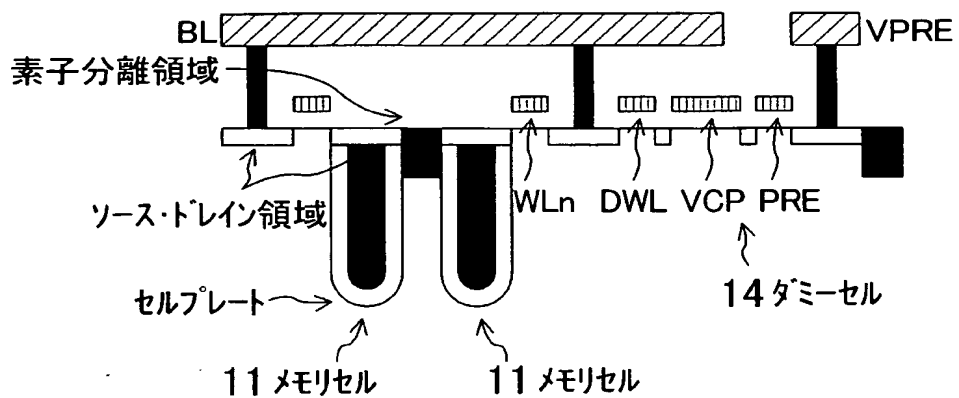
【図 3】



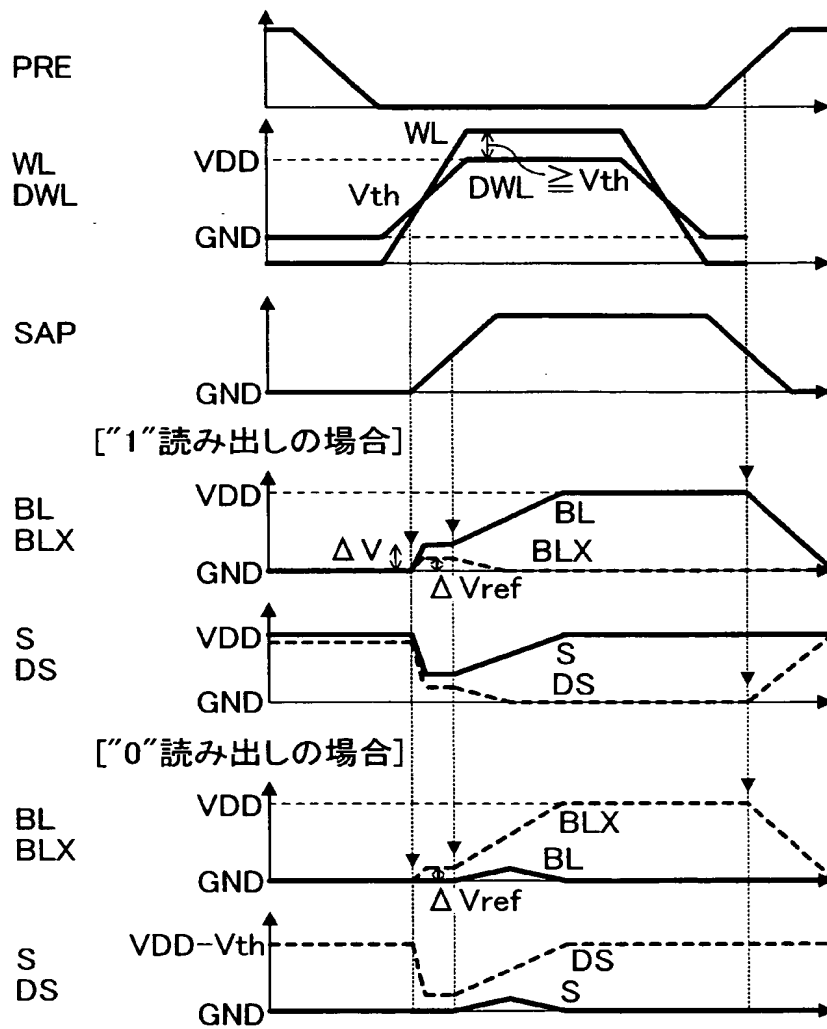
【図 4】



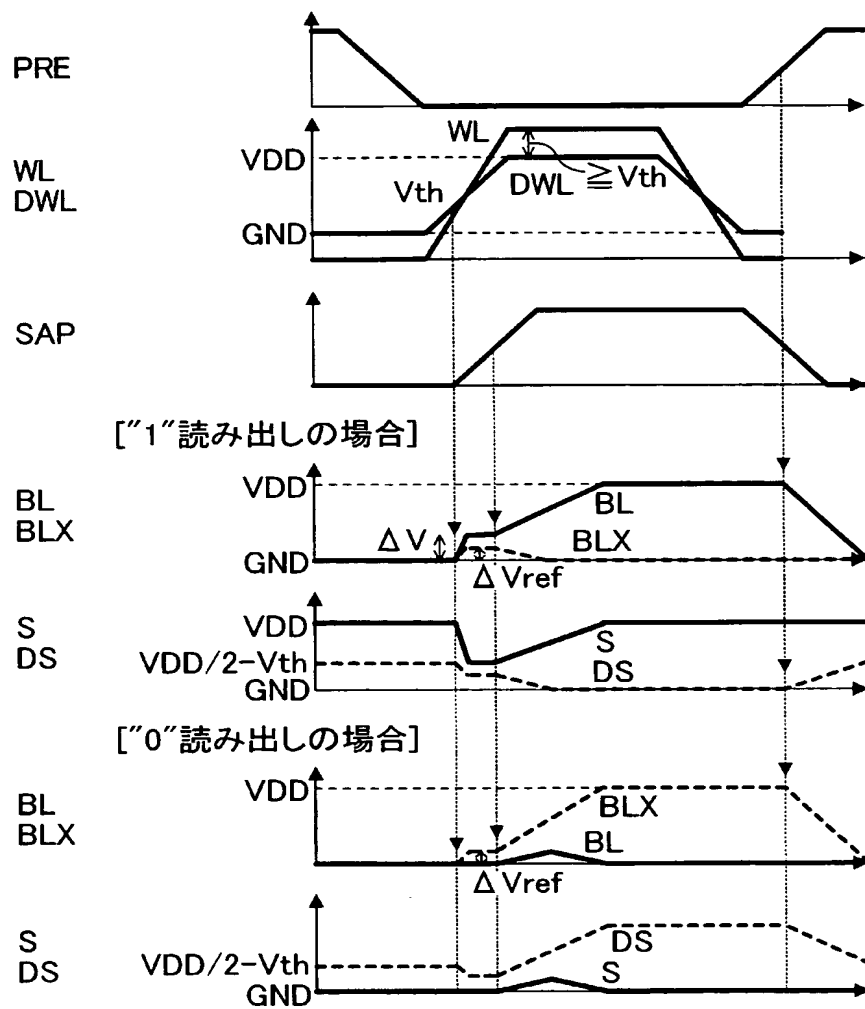
【図 5】



【図 6】

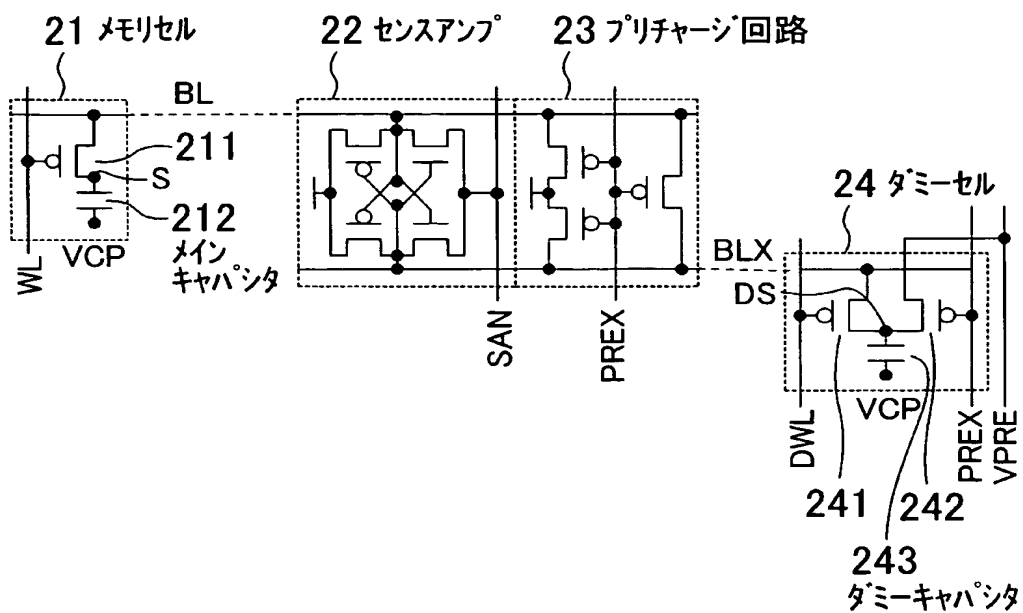


【図 7】



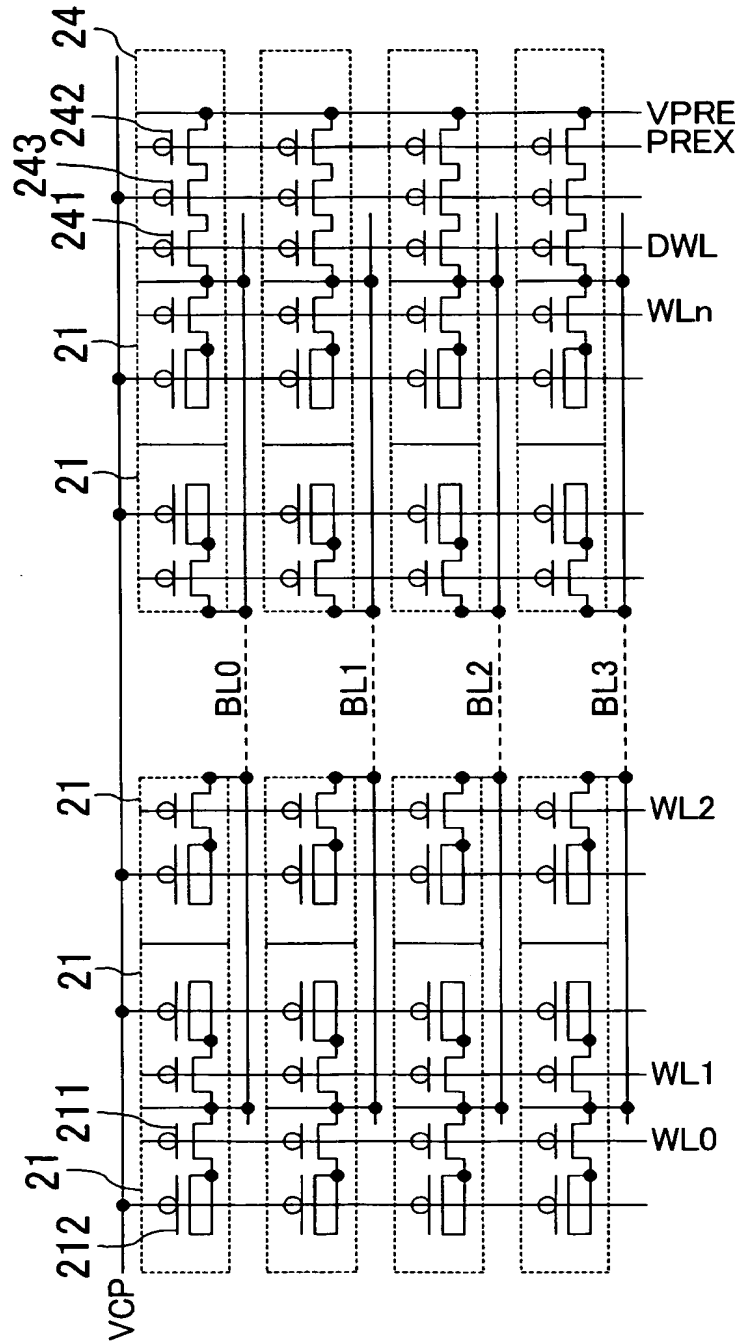
【図 8】

20

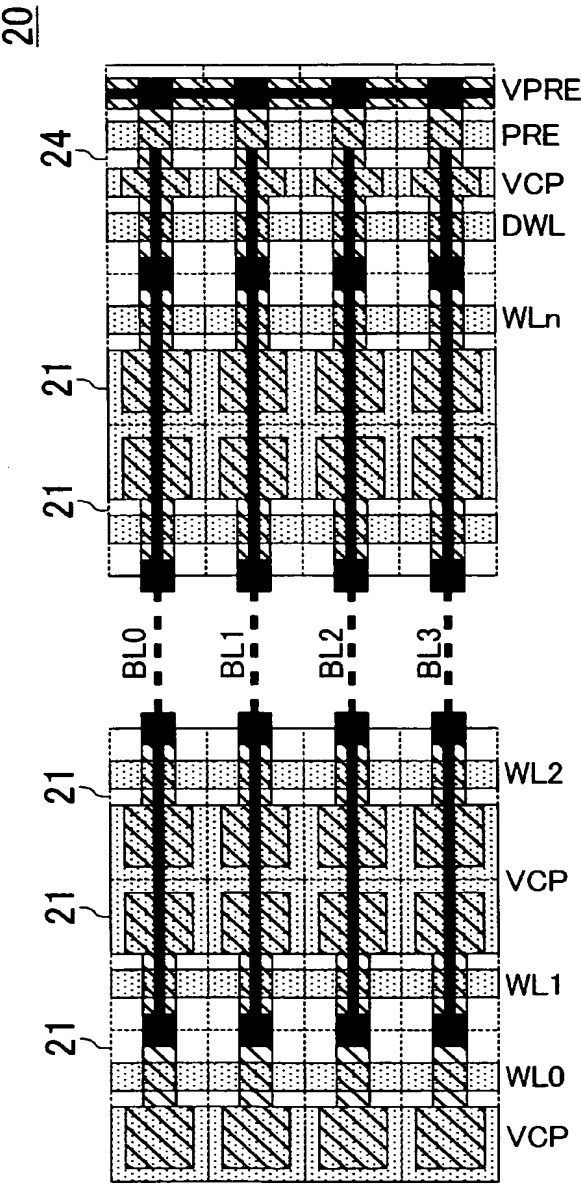


【図 9】

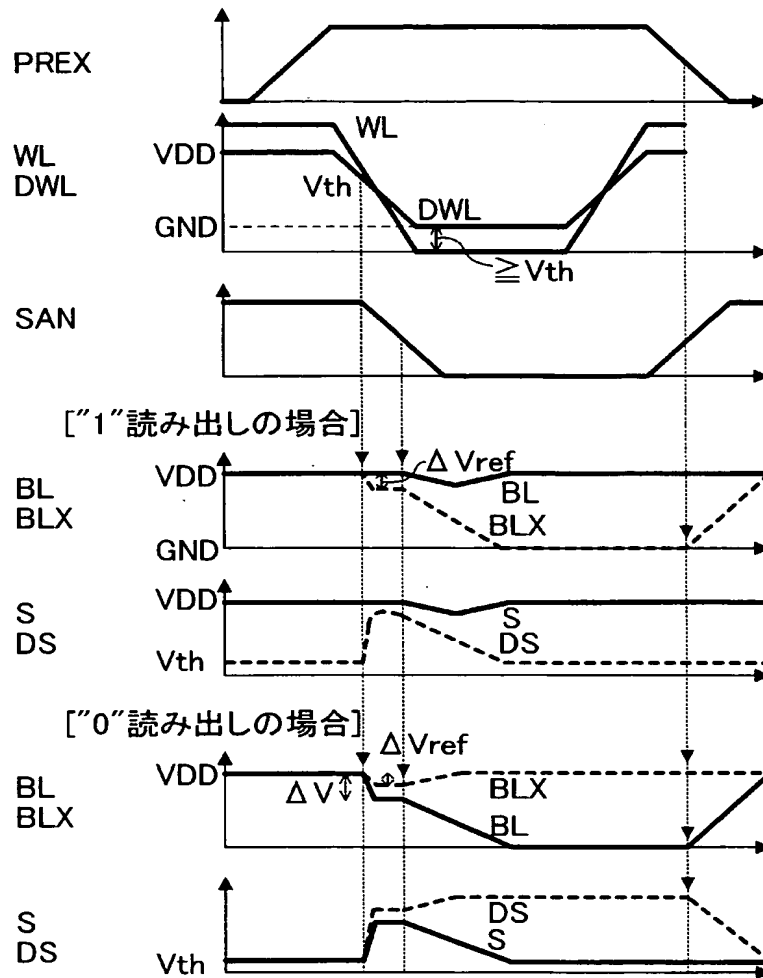
20



【図 10】

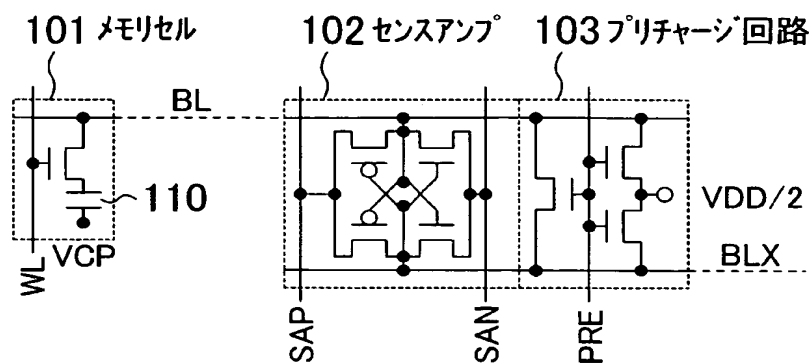


【図 11】

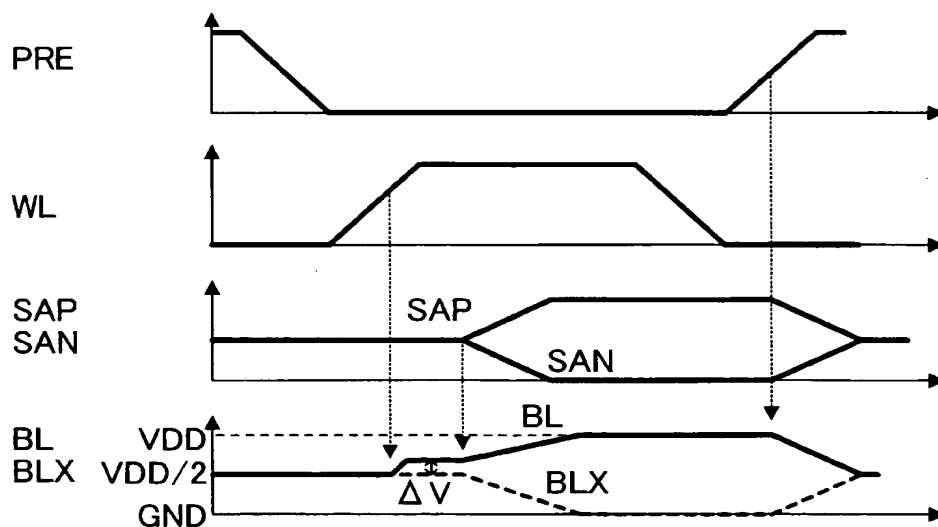


【図 12】

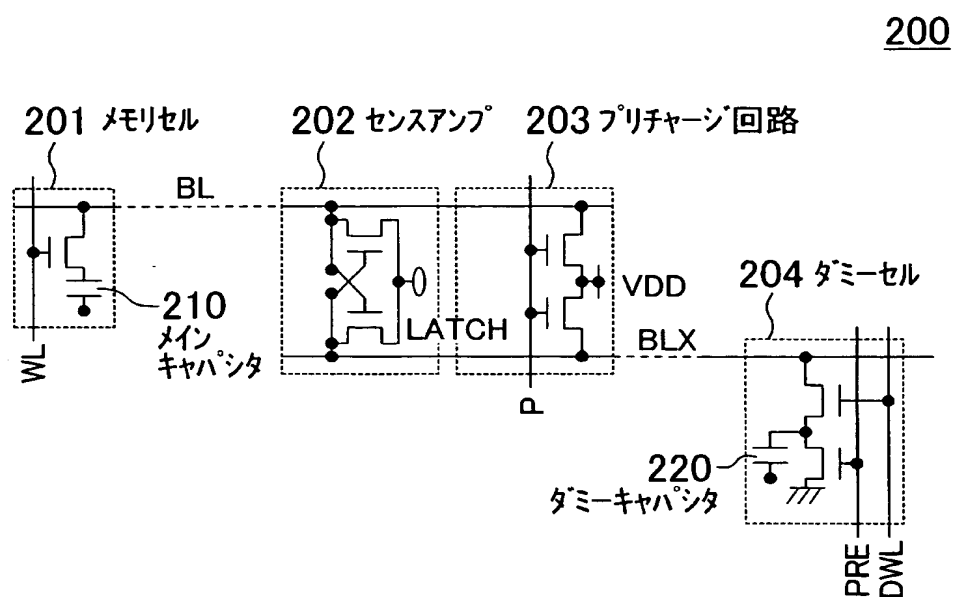
100



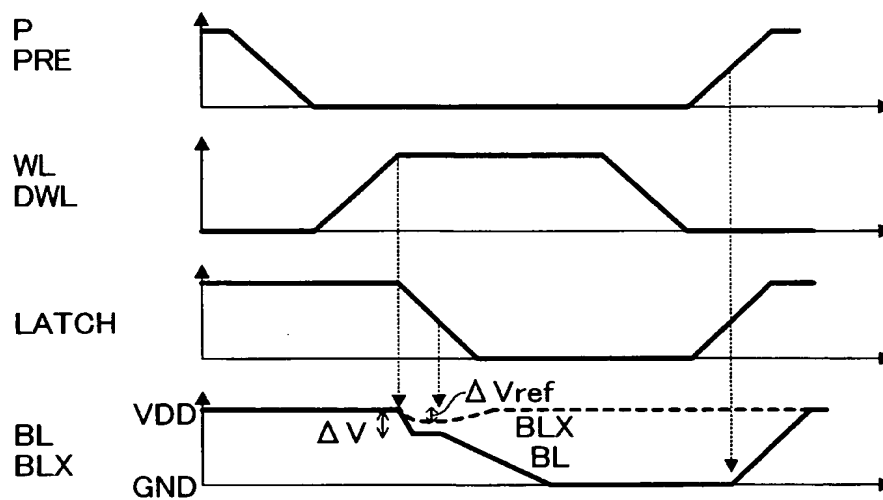
【図 13】



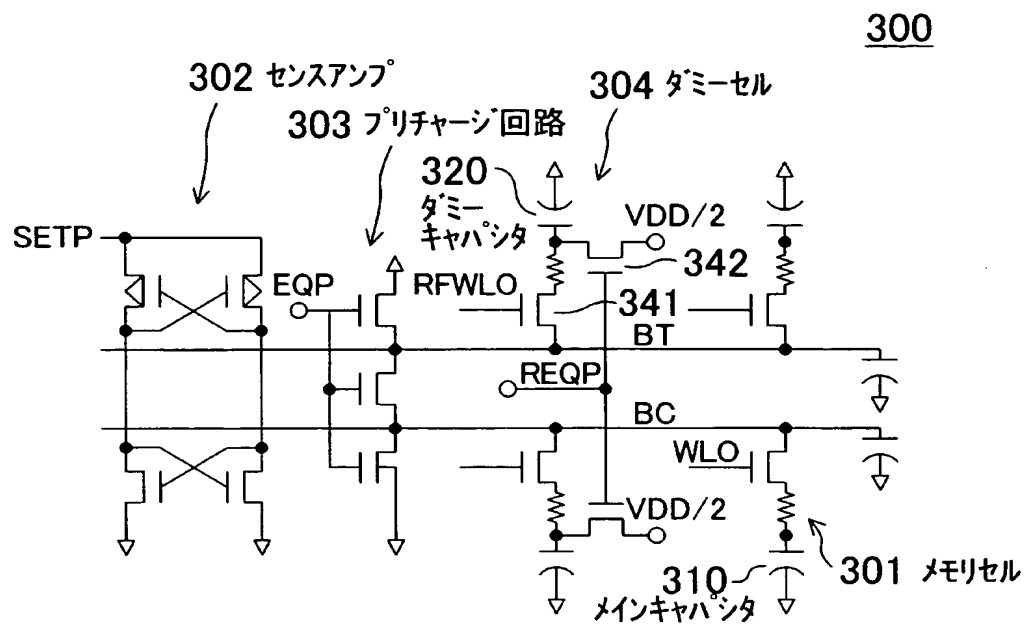
【図 14】



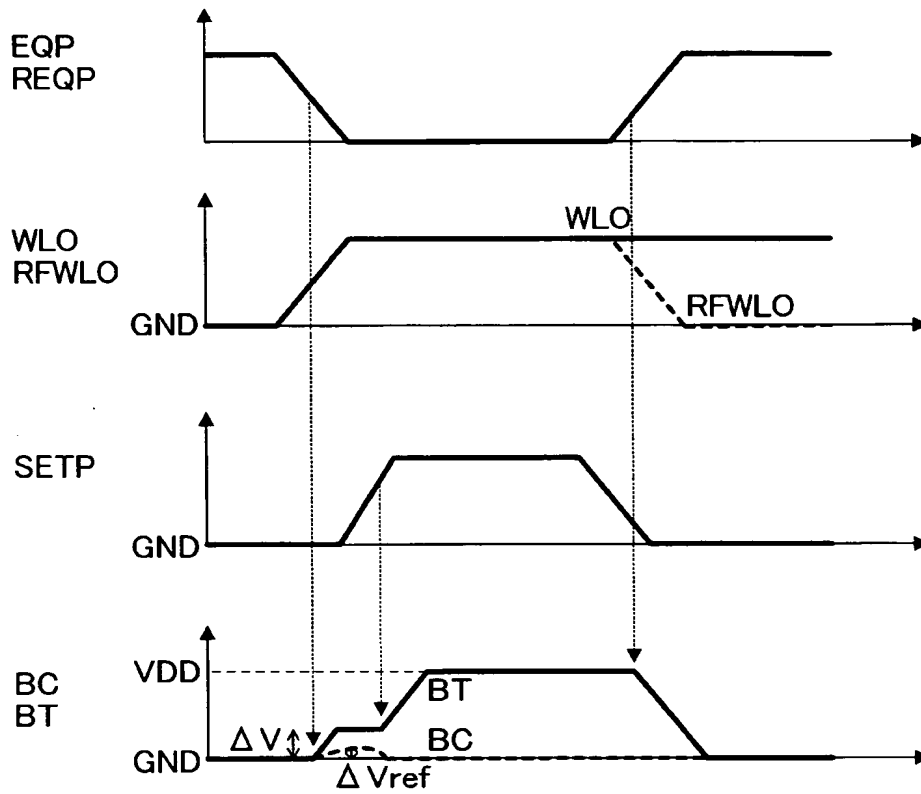
【図 15】



【図 16】



【図 17】



【書類名】 要約書**【要約】**

【課題】 消費電力の増大、チップ面積の増加を伴うことなく、DRAMのデータ読み出しを高速化する。

【解決手段】 データ読み出しに当たって、ビット線対 (BL, BLX) を GND レベルにプリチャージし、ダミーセル (14) を電圧 VDD で充電する。そして、ワード線 (WL) およびダミーワード線 (DWL) が活性化され、それぞれの電位がアクセストランジスタ (111, 141) の閾値電圧だけ上昇すると、すぐさまメインキャパシタ (112) およびダミーキャパシタ (143) がビット線に電氣的に接続され、データの滲み出しが始まる。こうして生じたビット線間の電位差はセンスアンプ (12) によって検知・増幅され、データが読み出される。ここで、ダミーキャパシタ (143) の静電容量はメインキャパシタ (112) のほぼ半分になっている。このため、ダミーキャパシタ (143) のプリチャージは電圧 VDD で行うことができる。

【選択図】 図 1

特願 2003-055790

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社